

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **60-151898**

(43)Date of publication of application : **09.08.1985**

(51)Int.Cl.

G11C 11/40

(21)Application number : **59-006606**

(71)Applicant : **NEC CORP**

(22)Date of filing : **18.01.1984**

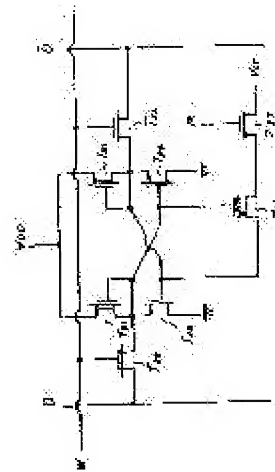
(72)Inventor : **OKUMURA KOICHIRO  
WATANABE TAKESHI**

## (54) NON-VOLATILE RANDOM ACCESS MEMORY CELL

(57)Abstract:

PURPOSE: To make an occupied area per bit smaller and to facilitate operation related to storage and reproduction of information by adding non-volatile memory cell element and one IGFET to six IGFETs necessary for a normal random access memory cell.

CONSTITUTION: An input and output of two invertor circuits constituted with a display-type IGFETs 31 and 33 and enhancement IGFETs 32 and 34 are cross-connected, thereby constituting a bistable circuit connected to a power source VDD, that is, the 1st power source. Respective drains of the IGFETs 35 and 36 are connected to two digit lines D and D' to transfer signals forming real and compensative relation. A drain of an N-channel non-volatile memory element M31 and a control gate are connected to a source of the IGFET33 and that of the IGFET31, respectively. The source is connected to that of the enhancement IGFET37, whose gate is connected to an information reproducing signal R, and the drain is connected to a power source VCC with a constant voltage, that is, the 2nd power source.



⑤Int.Cl.<sup>4</sup>  
G 11 C 11/40識別記号  
1 0 1庁内整理番号  
7230-5B

④公開 昭和60年(1985)8月9日

審査請求 未請求 発明の数 1 (全8頁)

⑥発明の名称 不揮発性ランダムアクセスメモリセル

⑦特 願 昭59-6606

⑧出 願 昭59(1984)1月18日

⑦発明者 奥村 孝一郎 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑦発明者 渡辺 毅 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑦出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑦代理人 弁理士 内原 晋

## 明 細 書

## 1. 発明の名称

不揮発性ランダムアクセスメモリセル

## 2. 特許請求の範囲

第1の電源に接続された双安定回路と、該双安定回路の一对の出力点にそれぞれのソースが接続されゲートがワード線に接続された一对のアドレス選択用絶縁ゲート電界効果トランジスタと、前記アドレス選択用絶縁ゲート電界効果トランジスタのそれぞれのドレインに接続された一对のデジタル線と、前記双安定回路の一对の出力点の一方にドレインが接続され、他方にコントロールゲートが接続された電氣的書換え可能な不揮発性メモリ素子と、該不揮発性メモリ素子のソースにソースが接続されゲートにデータ再生用信号線が接続されドレインが第2の電源に接続された絶縁ゲート電界効果トランジスタから成ることを特徴とする不揮発性ランダムアクセスメモリセル。

## 3. 発明の詳細な説明

## (技術分野)

本発明は不揮発性ランダムアクセスメモリセルに関する。

## (従来技術)

不揮発性ランダムアクセスメモリとは、通常の動作状態においては、ランダムアクセスメモリとして動作し、電源が降下あるいは遮断された場合に、ランダムアクセスメモリに蓄えられた情報を不揮発性メモリ素子に格納し、再び電源が回復した時に不揮発性メモリ素子からランダムアクセスメモリに情報を送ることにより、電源が遮断される前の情報を再生するものである。

従来、この種のメモリセルとして、種々の構成のものが発表されているが、いずれもメモリセルを構成するに要する素子数が多いとか、あるいはランダムアクセスメモリから不揮発性メモリ素子への情報の格納の過程が複雑で使いにくいなどの欠点があった。

## (発明の目的)

本発明の目的は、上記欠点を除去することにより、構成に要する素子数が少なく、また、ランダムアクセスメモリから不揮発性メモリ素子への情報の格納に複雑な過程を必要とせず、短時間に行なうことのできる不揮発性ランダムアクセスメモリセルを提供することにある。

#### (発明の構成)

本発明の不揮発性ランダムアクセスメモリセルは、第1の電源に接続された双安定回路と、該双安定回路の一对の出力点にそれぞれのソースが接続されゲートがワード線に接続された一对のアドレス選択用絶縁ゲート電界効果トランジスタと、前記アドレス選択用絶縁ゲート電界効果トランジスタのドレインに接続された一对のデジット線と、前記双安定回路の一对の出力点の一方にドレインが接続され他方にコントロールゲートが接続された電氣的書換え可能な不揮発性メモリ素子と、該不揮発性メモリ素子のソースにソースが接続されゲートにデータ再生用信号線が接続されドレインが第2の電源に接続された絶縁ゲート電界効果ト

- 3 -

接地し、ドレイン電極5に高電圧を印加したときには、薄いシリコン酸化膜部分9にはドレイン領域2からフローティングゲート8に向かって強い電界が生じ、正孔がフローティングゲート8に注入される。その結果、シリコン基板1の表面に反転層が出来やすくなり、第2図の曲線21に示す如く、コントロールゲート電位 $V_{cg}$ が負においても電流が流れる状態、すなわちしきい値電圧が負の値となる。これを例えば消去と称することとする。

それに対して、消去と逆の状態、すなわち書き込みは、コントロールゲート7に高電圧を印加し、ドレイン電極5を接地することにより実現できる。すなわち、上記の電位関係をとることにより、薄いシリコン酸化膜部分9において、フローティングゲート8からドレイン領域2に向かう強い電界が生じ、フローティングゲート8中に電子が注入され、その結果シリコン基板1の表面は反転しにくい状態となり、第2図の曲線22に示す如く、しきい値電圧が正の高い値となる。このようにし

- 5 -

ランジスタより成ることから構成される。

#### (実施例)

まず、本発明に係る不揮発性メモリ素子について説明する。第1図は本発明に用いられる不揮発性メモリ素子の一例の断面図である。不揮発性メモリ素子は、p型のシリコン基板1に形成されたN型のドレイン領域2と、同じくN型のソース領域3と、シリコン酸化膜4中に設けたコントロールゲート7と電荷蓄積領域であるフローティングゲート8により構成され、シリコン酸化膜4はドレイン領域2とフローティングゲート8が重なる部分において、薄いシリコン酸化膜部分9となっている。なお、同図で5はドレイン電極、6はソース電極である。

第2図は第1図に示した不揮発性メモリ素子の特性図で、横軸はコントロールゲートの電位 $V_{cg}$ を示し、縦軸は不揮発性メモリ素子のソースを接地し、ドレインに定電圧を印加した場合のドレイン-ソース間に流れるドレイン電流 $I_{DS}$ を示している。第1図において、コントロールゲート7を

- 4 -

て、書き込みあるいは消去した不揮発性メモリ素子の記憶された情報を読出すときには、第2図に示すように、コントロールゲート7に書き込み後のしきい値電圧より低い正の電圧 $V_1$ を印加することにより、不揮発性メモリ素子が消去された状態にあるなら導通し $I_1$ の電流を得ることができ、書き込まれた状態にあるなら非導通の状態となる。

以上に述べた不揮発性メモリ素子は、例えばエレクトロニクス(Electronics)誌1980年2月28日号113頁~117頁に、EEPROM(電氣的消去可能プログラマブルリードオンリーメモリ)に応用した例などがあり、公知となっている。

次に、本発明の実施例について図面を参照して説明する。

第3図は本発明の第1の実施例の回路図で、Nチャンネルの絶縁ゲート電界効果トランジスタ(以下、IGFETという。)を用いて実現した場合を示す。また第5図はその動作タイミングチャートである。

ディプレッション型のIGFET T31とエンハ

- 6 -

ンスメント型のIGFET T32はインバータ回路を構成し、また、ディプレッション型IGFET T33とエンハンスメント型IGFET T34もインバータ回路を構成し、これら2個のインバータ回路はそれぞれの入力と出力を交叉接続され、第1の電源である電源 $V_{DD}$ に接続された双安定回路を構成している。また、双安定回路の2個の出力点すなわちIGFET T31のソースおよびIGFET T33のソースには、アドレス選択用のエンハンスメント型IGFET T35およびT36がそれぞれ接続され、それぞれのゲートはいずれもワード線Wに接続される。またIGFET T35およびT36のそれぞれのドレインは真補の関係をなす信号を伝送する2個のデジタル線Dおよび $\bar{D}$ に接続され、Nチャネル不揮発性メモリ素子M31のドレインはIGFET T33のソースに、コントロールゲートはIGFET T31のソースに接続され、ソースはエンハンスメント型IGFET T37のソースに接続され、IGFET T37のゲートは情報再生用信号Rに接続され、

- 7 -

よって行なうことができる。すなわち、ランダムアクセスメモリがすでに"1"が書込まれている場合には、IGFET T32が非導通であるので、デジタル線Dはハイレベルすなわち"1"のままとなり、"0"が書込まれている場合には、IGFET T32が導通であるのでデジタル線Dはローレベルに変化し、"0"を脱出することができる。

以上に述べた如く、情報再生用信号Rは接地電位とすることにより、第3図の回路は通常のランダムアクセスメモリセルとして動作させることができる。

次に、不揮発性ランダムアクセスメモリセルとして動作させる場合の不揮発性メモリ素子M31への情報格納と、情報の再生について述べる。すでに双安定回路内に書込まれた情報を不揮発性メモリ素子M31に格納する場合には、電源 $V_{DD}$ の電圧を電源 $V_{CC}$ レベルから不揮発性メモリ素子M31の書き込みおよび消去が可能な電圧(例えば2.0V)まで上昇させる。このとき情報再生用

- 9 -

ドレインは第2の電源である定電圧の電源 $V_{CC}$ (例えば5V)に接続されている。

まず、通常のランダムアクセスメモリとして動作させるときには、双安定回路の電源 $V_{DD}$ を電源 $V_{CC}$ と同一電圧にし、情報再生用信号Rはローレベルにする。ランダムアクセスメモリとしての書き込みを行なうときは、ワード線Wをハイレベルにし、例えばデジタル線Dをハイレベル、デジタル線 $\bar{D}$ をローレベルにすることにより、双安定回路には"1"が書込まれ、デジタル線Dをローレベルデジタル線 $\bar{D}$ をハイレベルとすることにより"0"が書込まれる。このときに、電 $V_{CC}$ の電圧が不揮発性メモリ素子M31のドレイン-コントロールゲート間に印加されても、電界が弱いので不揮発性メモリ素子M31の書き込みあるいは消去は行なわれない。ランダムアクセスメモリとしての情報の脱出しは、デジタル線D、 $\bar{D}$ を共にハイレベルにチャージアップした後、ワード線Wをローレベルからハイレベルに変化させIGFET T35およびT36を導通状態にすることにより

- 8 -

号Rは接地電位である。これにより、双安定回路が"1"の状態すなわち、IGFET T31のソースがハイレベルにあり、IGFET T33のソースが接地電位にあるときには、電源 $V_{DD}$ の電圧上昇により、不揮発性メモリ素子M31のドレインは接地電位のままでコントロールゲートには高い電圧が印加される状態が実現され、その結果、不揮発性メモリ素子M31のしきい値電圧は正の値となる。それに対して、双安定回路が"0"の状態すなわち、IGFET T31のソースが接地電位にあり、IGFET T33のソースがハイレベルにあるときには、電源 $V_{DD}$ の電圧を上昇させることにより、不揮発性メモリ素子M31のコントロールゲートが接地レベルでドレインに高い電圧が印加される状態が実現でき、そのしきい値電圧は負の値へ変化する。以上に述べたように、電源 $V_{DD}$ の電圧を上昇させることにより、双安定回路に記憶された情報を不揮発性メモリ素子M31のしきい値電圧が正か負かという情報に変換することにより電源遮断時においても情報の保持が可

- 10 -

能となる。

次に、再び、電源が回復した後の情報の再生について述べる。第3図の不揮発性ランダムアクセスメモリセルに情報を再生する場合、ワード線Wをローレベルに保ち、IGFET T35およびT36を非導通にしたまま、電源 $V_{CC}$ および $V_{DD}$ を加え、再生用信号Rをハイレベルにする。IGFET T31とT32で構成されるインバータの回路しきい値を、IGFET T33とT34で構成されるインバータの回路しきい値より高い値にあらかじめ設定しておくことにより、不揮発性メモリ素子M31のしきい値電圧が正の値にあるときには、不揮発性メモリ素子M31が導通しないので双安定回路はIGFET T31のソースがハイレベル、IGFET T33のソースがローレベルとなり、電源遮断前の情報すなわち"1"が双安定回路内に再生される。逆に、不揮発性メモリ素子M31のしきい値電圧が負となっているときには、IGFET T31が導通し、IGFET T32のゲートにハイレベルが印加されるため、IGF

- 1 1 -

だけで済み、操作が非常に簡単であるという効果を有している。

第4図は本発明の第2の実施例を示す回路図で、相補型絶縁ゲート電界効果トランジスタを用いて実現した場合を示す。また、第5図はその動作タイミングチャートである。PチャンネルのIGFET T41とNチャンネルのIGFET T42からなるインバータと、PチャンネルのIGFET T43とNチャンネルのIGFET T44からなるインバータからなる2個のインバータのそれぞれの入力端と出力端は交叉接続されて双安定回路を構成している。IGFET T41のドレインはNチャンネルのIGFET T45のソースと接続され、IGFET T45のドレインはディジット線Dに接続され、ゲートはワード線Wに接続されている。またIGFET T43のドレインはNチャンネルのIGFET T46のソースに接続され、IGFET T46のドレインはディジット線 $\bar{D}$ に接続され、ゲートはワード線Wに接続されている。Nチャンネルの不揮発性メモリ素子M41のドレ

- 1 3 -

ET T32は導通し、IGFET T31のソースは強制的にローレベルに落とされる。その結果、電源遮断前の情報すなわち"0"が双安定回路内に再生される。第5図の動作タイミングチャートは、不揮発性メモリ素子M31への情報の格納電源の遮断、情報の再生の各時期における電源 $V_{CC}$ 、 $V_{DD}$ 、ワード線W、情報再生用信号R、IGFET T31のソースの電位変化を示したものである。情報を再生した後は、情報再生用信号Rを接地電位としてやることにより、通常のランダムアクセスメモリとして動作することができる。

以上に述べた如く、本実施例は、通常のランダムアクセスメモリセルとして必要な6個のIGFETに1個の不揮発性メモリ素子と1個のIGFETを付加するだけで構成されるため、従来の同種のセルに対して占有面積が小さくて済むという効果がある上に、不揮発性メモリ素子への情報の格納のために電源 $V_{DD}$ の電圧を上昇させること以外にかなる過程も必要とせず、また情報の再生においても、情報再生用信号Rを一時的に加える

- 1 2 -

インはIGFET T43のドレインに接続され、コントロールゲートはIGFET T41のドレインに接続され、ソースはNチャンネルのIGFET T47のソースに接続され、IGFET T47のゲートは情報再生用信号Rに接続され、ドレインは電源 $V_{CC}$ に接続されている。IGFET T41とT42のインバータの回路しきい値をIGFET T43とT44のインバータの回路しきい値より高く設計しておくのは第3図の場合と同様である。

すなわち、第4図の第2の実施例は第3図の第1の実施例の回路の双安定回路を構成する2個のインバータを相補型構成にしたものであり、通常のランダムアクセスメモリとしての動作も、また、不揮発性ランダムアクセスメモリとしての情報の不揮発性メモリ素子への格納方法および情報の再生方法も、第3図の第1の実施例で述べたものとまったく同一である。

しかし、第4図の第2実施例の場合においては、高電圧発生回路と結合することにより、情報を不揮発性メモリ素子に格納するために必要とする高

- 1 4 -

電圧  $V_{DD}$  を外部端子から供給することなしに、同一集積回路内で発生することが可能となるので、更に不揮発性ランダムアクセスメモリとしての使用が簡便となるという効果が付加される。

第6図は高電圧発生回路の一例を示す回路図、第7図はその動作タイミングチャートである。この高電圧発生回路は、第4図の第2の実施例の回路の電源  $V_{DD}$  端子に、ランダムアクセスメモリとして動作させるときには  $V_{CC}$  電圧を、情報を不揮発性メモリ素子に格納するときには高電圧を供給するためのものである。

第6図の高電圧発生回路は、ドレインを電源  $V_{CC}$  に、ゲートを第4図の不揮発性ランダムアクセスメモリセルの不揮発性メモリ素子への情報の格納のときのみハイレベルとなる制御信号  $\bar{A}$  に接続されたNチャンネルのIGFET T61と、ドレインがIGFET T61のソースに接続されゲートが制御信号  $\bar{A}$  の反転制御信号  $\bar{A}$  に接続されソースが接地されたNチャンネルのIGFET T62と、ゲートとドレインが接続されたNチャ

- 15 -

ンネルのエンハンスメント型IGFET T63が直列接続され、各接続点に容量を通してクロック信号  $\phi_1$  および  $\phi_2$  が交互に接続されている高電圧発生部60と、ドレインが電源  $V_{CC}$  に接続され、ゲートに制御信号  $\bar{A}$  が供給されソースが高電圧発生部60に接続されると共に電源  $V_{DD}$  端子となるNチャンネルのディプレッション型IGFET T63から成っている。第4図の不揮発性ランダムアクセスメモリセルを通常のランダムアクセスメモリとして動作させる場合および情報の再生を行なう場合は、制御信号  $\bar{A}$  をローレベルに、制御信号  $\bar{A}$  をハイレベルに保つことにより、高電圧発生部60は動作せず、また、IGFET T63のゲートにハイレベルが印加されているため、電源  $V_{DD}$  端子には電源  $V_{CC}$  の電圧が供給される。それに対して、第4図の不揮発性ランダムアクセスメモリセルの情報の格納時には、制御信号  $\bar{A}$  をローレベル、制御信号  $\bar{A}$  をハイレベルに保つことにより、IGFET T61が導通し、IGFET T62は非導通となり、IGFET T61とT62の接続節点は

- 17 -

ハイレベルとなり高電圧発生部60が動作を開始する。クロック信号  $\phi_1$  がハイレベルになったとき、クロック信号  $\phi_1$  から容量を介して節点  $B_1$ 、 $B_3$ 、 $\dots$   $B_{2n-1}$  の電位が上昇し、ドレインとゲートが接続されたIGFET によるダイオードが順方向の電位となり節点  $B_2$ 、 $B_4$ 、 $\dots$   $B_{2n}$  へと正電荷を転送することにより節点  $B_2$ 、 $B_4$ 、 $\dots$   $B_{2n}$  の電位が上昇する。クロック信号  $\phi_2$  がハイレベルになったときにも同様に容量を介して節点  $B_2$ 、 $B_4$ 、 $\dots$   $B_{2n}$  の電位が上昇し、ダイオードが順方向となり、節点  $B_1$ 、 $B_3$ 、 $\dots$   $B_{2n-1}$  と  $V_{DD}$  へと正電荷を転送し、 $B_1$ 、 $B_3$ 、 $\dots$   $B_{2n-1}$  と  $V_{DD}$  の電位が上昇する。従って、高電圧発生部60にクロック信号  $\phi_1$ 、 $\phi_2$  のパルスを交互に加えることにより、電源  $V_{DD}$  端子の電圧は電源  $V_{CC}$  の電圧から更に高い電圧へ第7図に示す如く、階段的に上昇する。このとき、IGFET T63はゲートがローレベルになり、ドレインには  $V_{CC}$  が印加されるため、ドレインからみて、 $-V_{CC}$  のゲート電圧が印加された状態にあるため、

- 16 -

非導通となり、電源  $V_{DD}$  端子から電源  $V_{CC}$  へと電流が流れて電源  $V_{DD}$  端子の電圧が低下することはない。

第6図の如き高電圧発生回路は、電源  $V_{DD}$  端子から電流を流す回路に結合した場合、高電圧発生部60の電荷供給能力が弱いため、電源  $V_{DD}$  の電圧が低下し、情報を不揮発性メモリ素子へ格納するのに必要な高電圧を得ることができなくなるが、第4図の不揮発性ランダムアクセスメモリを使用し、情報の格納のとき、クロック一周期の電源  $V_{DD}$  端子の上昇電圧  $\Delta V_{DD}$  をIGFET T41あるいはT43のしきい値電圧の絶対値より小さい値に高電圧発生回路を設計することにより、電源  $V_{DD}$  端子から流れる電流をなくすることが可能となり、特別の外部電源を必要としない  $V_{CC}$  単一電源の不揮発性ランダムアクセスメモリセルが実現できる。

なお、第3図の第1の実施例においては絶縁ゲート電界効果トランジスタとしてNチャンネル型を用いたが、Pチャンネル型についても同様である。

- 18 -

また、上述の実施例において、不揮発性メモリ素子としては、必ずしも、第1図に示した構造に限定されるものではなく、ドレイン-コントロールゲート間の電界の方向によりフローティングゲートなどの電荷蓄積領域の荷電状態を制御し、しきい値電圧を正負の両状態に変化させることができる型式のいわゆる電氣的書換え可能な不揮発性メモリ素子であればよいことは言うまでもない。

(発明の効果)

以上詳細に述べた如く、本発明の不揮発性ランダムアクセスメモリセルは、上記の構成により、構成に要する素子数が少ないため、1ビット当たりの占有面積が小さく、情報の格納および再生の操作が容易であるという効果を有している。さらに相補型構成をとることにより、単一電源化も図ることができるという効果が付加される。

#### 4. 図面の簡単な説明

第1図は本発明に用いられる不揮発性メモリ素子の一例の断面図、第2図はその特性図、第3図

- 19 -

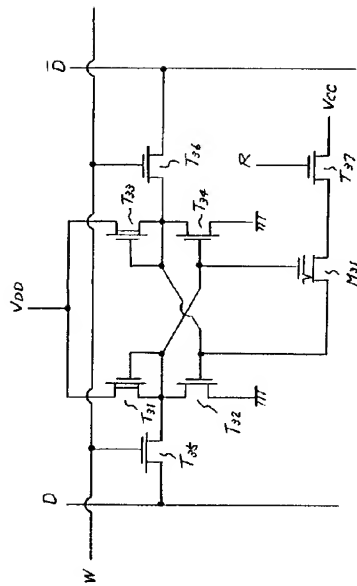
ント型Pチャネル絶縁ゲート電界効果トランジスタ、 $V_{CC}$ 、 $V_{DD}$ ……電源、 $V_{CG}$ ……コントロールゲート電位、 $W$ ……ワード線、 $\phi_1$ 、 $\phi_2$ ……クロック信号。

代理人 弁理士 内 原 晋

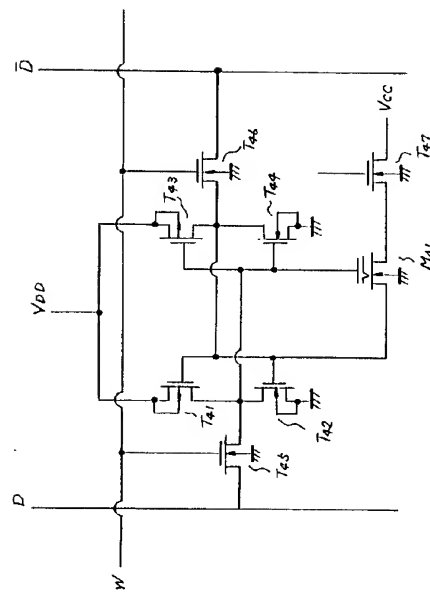
は本発明の第1の実施例の回路図、第4図は本発明の第2の実施例の回路図、第5図は第3図、第4図の回路の動作タイミングチャート、第6図は高電圧発生回路の一例の回路図、第7図はその動作タイミングチャートである。

1……シリコン基板、2……ドレイン領域、3……ソース領域、4……シリコン酸化膜、5……ドレイン電極、6……ソース電極、7……コントロールゲート、8……フローティングゲート、9……薄いシリコン酸化膜部分、60……高電圧発生回路、 $A$ 、 $\bar{A}$ ……制御信号、 $B_1$ 、 $B_2$ 、 $B_{2n-1}$ 、 $B_{2n}$ ……節点、 $D$ 、 $\bar{D}$ ……ディジット線、 $I_{DS}$ ……ドレイン電流、 $M_{31}$ 、 $M_{41}$ ……Nチャネル不揮発性メモリ素子、 $R$ ……情報再生用信号、 $T_{31}$ 、 $T_{33}$ 、 $T_{63}$ ……ディプレッション型Nチャネル絶縁ゲート電界効果トランジスタ、 $T_{32}$ 、 $T_{34}$ 、 $T_{35}$ 、 $T_{36}$ 、 $T_{37}$ 、 $T_{42}$ 、 $T_{44}$ 、 $T_{45}$ 、 $T_{46}$ 、 $T_{47}$ 、 $T_{61}$ 、 $T_{62}$ ……エンハンスメント型Nチャネル絶縁ゲート電界効果トランジスタ、 $T_{41}$ 、 $T_{43}$ ……エンハンスメ

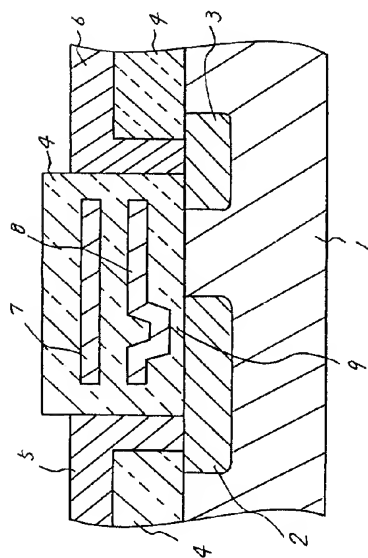
- 20 -



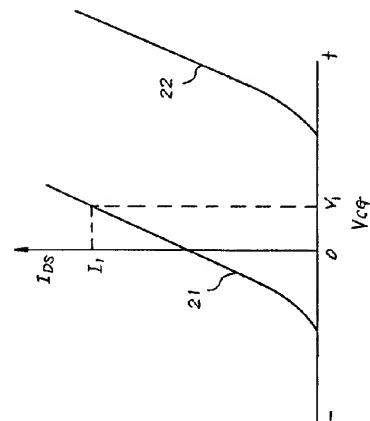
第 3 回



第四章

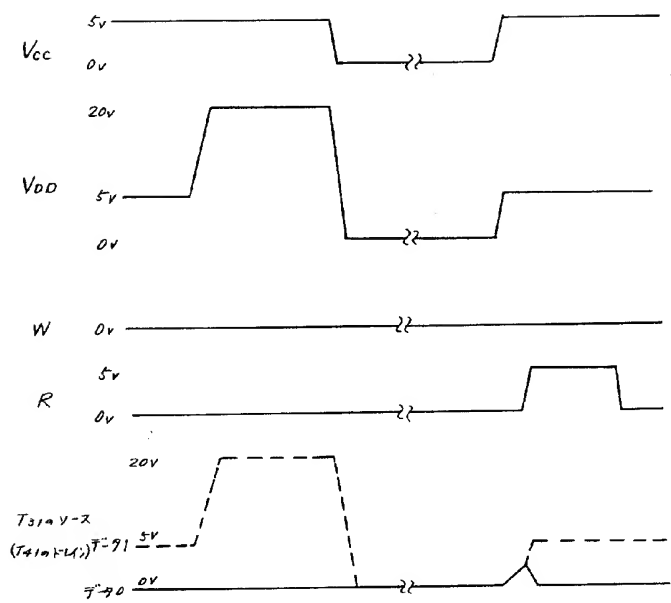


第 1 圖

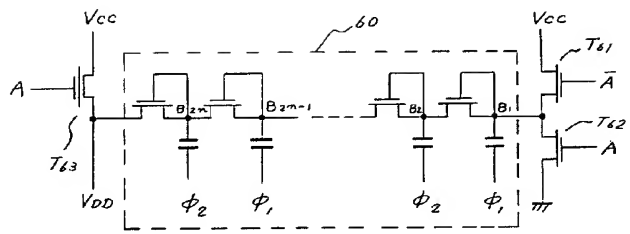


第 2 区

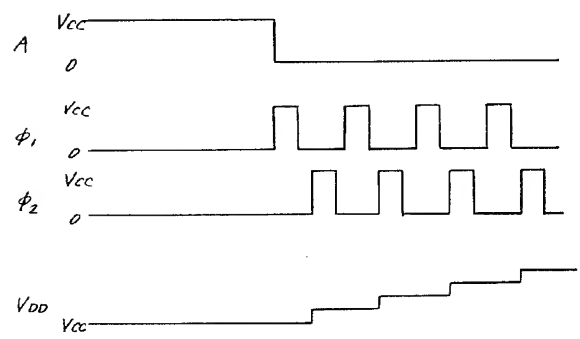




第5図



第6図



第7図